



- \overline{CE} Chip Enable
- \overline{OE} Output Enable
- $\overline{PGM}/\overline{PGM}$ Program Control
- V_{pp} Program Supply
- GND** Ground
- WE** Write Enable

	A15	Vpp	Vpp	Vpp	-	-	-		1	28	25V Vpp	TTL	TTL	TTL	TTL	TTL	TTL		28
1	A15	Vpp	Vpp	Vpp	-	-	-	1	□	28	-	-	-	+5V	+5V	+5V	+5V		28
2	A12	A12	A12	A12	-	-	-	2	□	27	-	-	-	\overline{PGM}	\overline{PGM}	A14	A14		27
3	A7	A7	A7	A7	A7	A7	A7	3	□	26	+5V	+5V	+5V	N/C	A13	A13	A13		26
4	A6	A6	A6	A6	A6	A6	A6	4	□	25	A8	A8	A8	A8	A8	A8	A8		25
5	A5	A5	A5	A5	A5	A5	A5	5	□	24	A9	A9	A9	A9	A9	A9	A9		24
6	A4	A4	A4	A4	A4	A4	A4	6	□	23	-5V	Vpp	A11	A11	A11	A11	A11		23
7	A3	A3	A3	A3	A3	A3	A3	7	□	22	$\overline{OE}/\overline{WE}$	\overline{OE}	\overline{OE}/V_{pp}	\overline{OE}	\overline{OE}	\overline{OE}	\overline{OE}/V_{pp}		22
8	A2	A2	A2	A2	A2	A2	A2	8	□	21	+12V	A10	A10	A10	A10	A10	A10		21
9	A1	A1	A1	A1	A1	A1	A1	9	□	20	V_{pp}/\overline{CE}	$\overline{CE}/\overline{PGM}$	$\overline{CE}/\overline{PGM}$	\overline{CE}	\overline{CE}	$\overline{CE}/\overline{PGM}$	$\overline{CE}/\overline{PGM}$		20
10	A0	A0	A0	A0	A0	A0	A0	10	□	19	D7	D7	D7	D7	D7	D7	D7		19
11	D0	D0	D0	D0	D0	D0	D0	11	□	18	D6	D6	D6	D6	D6	D6	D6		18
12	D1	D1	D1	D1	D1	D1	D1	12	□	17	D5	D5	D5	D5	D5	D5	D5		17
13	D2	D2	D2	D2	D2	D2	D2	13	□	16	D4	D4	D4	D4	D4	D4	D4		16
14	GND	GND	GND	GND	GND	GND	GND	14	□	15	D3	D3	D3	D3	D3	D3	D3		15